

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yukio YASUDA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-362133	December 13, 2002

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. filed

☐ were submitted to the International Bureau in PCT Application Number

Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

☐ (B) Application Serial No.(s)

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年12月13日

出 願 番 号

Application Number:

特願2002-362133

[ST.10/C]:

[JP2002-362133]

出 願 人

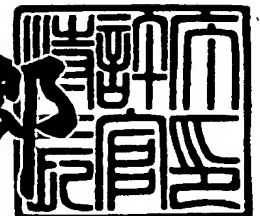
Applicant(s):

三菱電機株式会社

2003年 1月14日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3105502

【書類名】 特許願

【整理番号】 541750JP01

【提出日】 平成14年12月13日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 安田 幸央

【特許出願人】

【識別番号】 000006013

【住所又は居所】 東京都千代田区丸の内二丁目2番3号

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100062144

【弁理士】

【氏名又は名称】 青山 稔

【選任した代理人】

【識別番号】 100086405

【弁理士】

【氏名又は名称】 河宮 治

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 絶縁ゲートバイポーラトランジスタと同一半導体基板上に該絶縁ゲートバイポーラトランジスタを駆動する制御回路が形成された半導体装置であって、

前記絶縁ゲートバイポーラトランジスタの駆動信号を入力する入力端子と、

該入力端子にアノードが接続され、前記制御回路の入力端子にカソードが接続されたショットキーバリアダイオードと、

前記入力端子に入力される駆動信号の電圧が所定電圧以上になったときに前記ショットキーバリアダイオードの両端を短絡する p チャネル MOS FET とを有したことを特徴とする半導体装置。

【請求項 2】 前記ショットキーバリアダイオードのカソードと、前記制御回路の入力端子との間に抵抗を挿入したことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記ショットキーバリアダイオードのカソードと、前記制御回路の入力端子との間に直列に p チャネル MOS FET を挿入したことを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 前記絶縁ゲートバイポーラトランジスタのベース・エミッタ間に、抵抗と p チャネル MOS FET とからなる直列回路を接続したことを特徴とする請求項 1 記載の半導体装置。

【請求項 5】 前記 p チャネル MOS FET のゲートに出力が接続された CMOS インバータ回路をさらに備え、該 CMOS インバータ回路の入力には前記入力端子から入力される駆動信号の信号レベルに応じた信号が入力されることを特徴とする請求項 1 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、同一の半導体基板に絶縁ゲート型バイポーラトランジスタと制御用

回路とが形成されている半導体装置に関し、特に接合分離技術を用いて絶縁ゲート型バイポーラトランジスタと同一半導体基板上に制御用回路を形成する際に発生する寄生素子によるラッチアップを防止するための保護回路に関する。

【0 0 0 2】

【従来の技術】

一般に、半導体装置において、絶縁ゲート型バイポーラトランジスタ (Insulated Gate Bipolar Transistor : 以下「IGBT」という。) が形成されている半導体基板上に制御回路の回路素子ないしは回路領域を形成すると、寄生素子が形成される。特に接合分離技術を用いて IGBT 上に回路素子を形成した場合には IGBT の基板と回路領域に寄生サイリスタが形成されることが知られており、この寄生サイリスタが ON (ラッチアップ) すると半導体装置自身が破壊に至るなどの問題がある。

【0 0 0 3】

このような寄生サイリスタのラッチアップを防止するために保護素子を設けて対策することが必要となる。例えば、抵抗とダイオードの組合わせ回路により、ラッチアップ防止のための保護回路を形成する方法がある (非特許文献 1 参照)。また、本出願人の発明による半導体装置ではショットキーバリアダイオードを用いて寄生サイリスタのラッチアップを防止する手段を構成している (特許文献 1 参照。)。

【0 0 0 4】

【非特許文献 1】

「自己分離型イグニッションコイル駆動用 IGBT (A Self-isolated intelligent IGBT for driving ignition coils)」、International symposium on Power Semiconductor Drives & Ics, 1998

【特許文献 1】

特開 2 0 0 2 - 1 6 2 5 4 号公報

【0 0 0 5】

【発明が解決しようとする課題】

特許文献 1 に記載のショットキーバリアダイオードを用いて寄生サイリスタの

ラッチアップを防止する手段は抵抗とダイオードの組合わせ回路を用いる手段に比して小さい保護素子で効率よく目的を達成することができる。しかし、その反面、入力端子から実際の制御回路に至る経路に直列にショットキーバリアダイオードが挿入されるため、このダイオードの順方向電圧降下分だけ制御回路に伝達する信号の損失が発生する。特に、入力される電圧が低い場合に I G B T に伝達できる信号の損失が発生すると、I G B T のゲートに十分な電圧が供給できなくなり、結果として十分なコレクタ電流が得られないという問題が生じる。

【 0 0 0 6 】

本発明はこのような保護回路での電圧信号の伝達損失を低減することを目的とし、保護回路にトランジスタによるスイッチ回路を設けることで保護回路としての性能を損なうことなく伝達損失を低減することを実現するものである。

【 0 0 0 7 】

【課題を解決するための手段】

本発明に係る半導体装置は、絶縁ゲートバイポーラトランジスタと同一半導体基板上に該絶縁ゲートバイポーラトランジスタを駆動する制御回路が形成された半導体装置である。半導体装置は絶縁ゲートバイポーラトランジスタの駆動信号を入力する入力端子と、その入力端子にアノードが接続され、制御回路の入力端子にカソードが接続されたショットキーバリアダイオードと、入力端子に入力される駆動信号の電圧が所定電圧以上になったときに、ショットキーバリアダイオードの両端を短絡する p チャネル M O S F E T とを有する。

【 0 0 0 8 】

【発明の実施の形態】

以下添付の図面を参照して、本発明に係る半導体装置の実施の形態を詳細に説明する。

【 0 0 0 9 】

実施の形態 1.

図 1 に本発明に係る半導体装置の実施の形態 1 の回路構成を示す。

同図に示すように、本実施形態の半導体装置 1 0 a は、I G B T (Z 1) と、I G B T (Z 1) を駆動する制御回路 B 1 とを有する。I G B T (Z 1) と制御

回路B1とは同一半導体基板上に形成されており、制御回路B1は複数の半導体素子からなる。制御回路B1を構成する半導体素子の形成に伴い生じる寄生サイリスタのラッチアップ防止のため、半導体装置10aはツェナーダイオードD1と、ショットキーバリアダイオードD2、D3とからなる保護回路を有する。さらに、半導体装置10aは、抵抗R1と、pチャネルMOSFET(T1)と、ショットキーバリアダイオードD4、D5とで構成されるバイパス回路11を有する。また、半導体装置10aは入力端子P1、エミッタ端子P2及びコレクタ端子P3を備える。入力端子P1にはIGBT(Z1)を駆動するための入力信号が外部から印加される。エミッタ端子P2は基準電位に接続される。

【0010】

制御回路B1は、入力端子B11と、IGBT(Z1)のゲートに接続される制御出力端子B12と、出力端子B13と、基準電位を与えるグランド線13に接続されるGND端子B14とを有する。制御回路B1は入力端子P1を介して端子B11に入力した信号に応じてIGBT(Z1)を駆動するための信号を制御出力端子B12から出力する。さらに、制御回路B1は、入力端子B11に入力される電圧（すなわち入力端子P1の電圧）を検出し、入力端子B11に所定値 V_r 以上の電圧が印加された際に出力端子B13を介して電流の吸い込みを行う機能を有する。このため、制御回路B1は入力端子B11に所定電圧 V_r 以上の電圧が印加されたか否かを検出するための回路を有している。

【0011】

pチャネルMOSFET(T1)のソースは半導体装置10aの入力端子P1に接続され、ドレインは制御回路B1の入力端子B11に接続され、ゲートは制御回路B1の出力端子B13に接続される。抵抗R1は、一端が入力端子P1に他端がpチャネルMOSFET(T1)のゲートに接続され、制御回路B1の出力端子B13から電流の吸い込みが行われない状態においてpチャネルMOSFET(T1)のゲート・ソース間電圧をゼロにするように動作する。

【0012】

バイパス回路11において、pチャネルMOSFET(T1)のバックゲートにはショットキーバリアダイオードD4のカソードとショットキーバリアダイオ

ードD5のカソードが接続される。ショットキーバリアダイオードD4のアノードは入力端子P1に、ショットキーバリアダイオードD5のアノードはグランド線13に接続される。このような構成によりバイパス回路11のpチャネルMOSFET(T1)のバックゲートの寄生素子の誤動作を防止している(詳細は後述)。

【0013】

次に半導体装置10aの動作を説明する。

半導体装置10aの入力端子P1に供給される電圧が小さい場合、制御回路B1の端子B11には端子P1に印加された電圧からショットキーバリアダイオードD2の電圧降下分だけ低い電圧が供給される。このとき、抵抗R1の両端電圧はpチャネルMOSFET(T1)のしきい値電圧よりも小さく、pチャネルMOSFET(T1)はOFF状態である。

【0014】

入力端子P1に印加される電圧が上昇すると、それにつれて端子B11に印加される電圧も上昇する。端子B11への入力電圧が、制御回路B1に規定された所定電圧 V_r 以上になると出力端子B13から電流の吸い込みが行われる。電流の吸い込みが行われるとバイパス回路11における抵抗R1の両端に電圧降下が発生する。抵抗R1の両端電圧がpチャネルMOSFET(T1)のしきい値電圧 V_{th} を越えると、pチャネルMOSFET(T1)がON状態となり、入力端子P1と端子B11間のショットキーバリアダイオードD2の両端を短絡する。

【0015】

このようにバイパス回路11によりショットキーバリアダイオードD2の両端を短絡することにより入力端子P1と制御回路B1の入力端子B11間の電圧降下が小さくなるため、制御回路B1の入力端子B11にはより高い電圧が印加されることとなる。制御回路B1内に設けられた入力端子B11に入力された電圧を検出する回路は、入力端子B11への電圧が低い場合にIGBT(Z1)へ信号を伝達しないようにするための波形整形回路である。このため、上記のような動作において入力電圧が所定電圧 V_r 以下のときはより入力信号は伝達されにくく、一方、所定電圧 V_r 以上の場合には保護回路(主としてショットキーバリアダ

イオードD2)での入力信号の伝達損失が低減される。

【0016】

また、入力電圧が高い状態から低くなる場合には上記の動作と逆の動作が行われる。つまり、入力端子P1から端子B11に対して低損失で電圧信号を伝達している状態において、入力電圧が所定電圧 V_f 以下になるとpチャネルMOSFET(T1)がOFF状態となって入力端子P1から端子B11への電圧信号の伝達損失が上昇する。このような動作によって半導体装置10は入力信号に対する応答性においてヒステリシス特性を有することになる。

【0017】

ショットキーバリアダイオードD2による順方向電圧降下を $V_f(D2)$ [V]とし、pチャネルMOSFET(T1)のON状態におけるON抵抗 $R_{on}(t1)$ [Ω]、そのときの制御回路B1の端子B11への流入電流を I_{B11} [A]とすると、ヒステリシス電圧(pチャネルMOSFET(T1)のオフ状態からオン状態になる電圧とオン状態からオフ状態になる電圧の差) V_{hys} [V]は以下の式であらわすことができる。

$$V_{hys} = V_f(D2) - R_{on}(t1) \times I_{B11}$$

【0018】

上記のようなヒステリシス特性によりON/OFFが切り替わる近傍の電圧信号が入力された状態で微小なノイズなどによる誤動作を防止するという効果が得られる。

【0019】

図2はIGBT(Z1)と同一半導体基板上に形成されたpチャネルMOSFET(T1)に寄生する寄生トランジスタを示した図である。同図に示すように、P型半導体基板U2上に n^+ 層U3、 n^- 層U4、P型ウェルU5がこの順で形成されている。P型半導体基板U2の裏面には金属層U1が設けられている。

【0020】

トランジスタT101はpチャネルMOSFET(T1)のソースS又はドレインDとバックゲートBG、p型ウェルU5の領域に形成される寄生pnpトランジスタである。トランジスタT102はpチャネルMOSFETのバックゲー

トBG、p型ウェルU5、IGBT(Z1)のn⁻層U4に形成されるnpnトランジスタである。トランジスタT101のベースはトランジスタT102のコレクタ、トランジスタT101のコレクタはトランジスタT102のベースとなるように接続されており、トランジスタT101とトランジスタT102をあわせて寄生サイリスタが構成される。この寄生サイリスタはpチャネルMOSFET(T1)のソースSもしくはドレインDからバックゲートBGに向かって電流を流した状態で、n⁻層U4よりもp型ウェル層U5の電位が上昇した場合にラッチアップする。IGBT(Z1)がONし、コレクタ電流が小さい領域ではIGBT(Z1)のn⁻層U4の電位はゼロボルトに近い電位となり、IGBT(Z1)のONによってラッチアップが発生することとなる。

【0021】

同様に、トランジスタT103はpチャネルMOSFET(T1)のバックゲートBG、p型ウェルU5、n⁻層U4に形成される寄生npnトランジスタである。トランジスタT104はIGBT基板の基板U2、n層U3、U4、p型ウェル層U5に形成される寄生pnpトランジスタである。トランジスタT103のベースがトランジスタT104のコレクタに、トランジスタT103のコレクタがトランジスタT104のベースとなるように接続され、基板縦方向に寄生サイリスタを構成している。この寄生サイリスタはpチャネルMOSFET(T1)のバックゲート層とp型ウェル層が順方向バイアスされたときにラッチアップする。

【0022】

図2に示すように、ショットキーバリアダイオードD4はトランジスタT101のベース・エミッタ間に、ショットキーバリアダイオードD5はトランジスタT103のベース・エミッタ間にそれぞれ並列に接続される。このため、pチャネルMOSFET(T1)を設けたことにより形成される寄生トランジスタT101、T103に流れる電流がショットキーバリアダイオードD4、D5によりバイパスされるため、これらの寄生トランジスタによるサイリスタ動作を効果的に防止できる。

【0023】

実施の形態 2.

図 3 に本発明の実施の形態 2 の半導体装置の構成を示す。

本実施の形態の半導体装置 10 b は、実施の形態 1 の構成において、さらにショットキーバリアダイオード D 2 のカソードと制御回路 B 1 の入力端子 B 1 1 の間に、抵抗 R 2 を直列に挿入している。この抵抗 R 2 は p チャネル MOSFET (T 1) が OFF している状態において入力端子 P 1 から制御回路 B 1 の入力端子 B 1 1 の電圧降下幅を上昇させるように働く。

【0024】

ショットキーバリアダイオード D 2 による順方向電圧降下を $V_f(D2)$ [V] とし、p チャネル MOSFET (T 1) の ON 状態における ON 抵抗を $R_{on}(t1)$ [Ω]、抵抗 R 2 の抵抗値を R_2 [Ω]、そのときの制御回路 B 1 の端子 B 1 1 への流入電流を I_{B1} [A] とすると、ヒステリシス電圧 V_{hys} [V] は以下の式であらわすことができる。

$$V_{hys} = (V_f(D2) + R_2 \times I_{B1}) - R_{on}(t1) \times I_{B1}$$

【0025】

上記の式のように抵抗 R 2 の電圧降下の分だけ実施の形態 1 の場合に比してヒステリシス電圧を大きくすることが可能となり、ヒステリシス電圧を大きくすることでよりノイズ等に対する誤動作耐量のさらなる向上が見込める。

【0026】

実施の形態 3.

図 4 に本発明の実施の形態 3 の半導体装置の構成を示す。

本実施の形態の半導体装置 10 c は、実施の形態 2 の構成における抵抗 R 2 の代わりに p チャネル MOSFET (T 2) を有している。すなわち、ショットキーバリアダイオード 2 のカソードと制御回路 B 1 の入力端子 B 1 1 間に p チャネル MOSFET (T 2) を接続している。p チャネル MOSFET (T 2) のソースとバックゲートはショットキーバリアダイオード D 2 のカソードに、ショットキーバリアダイオード D 2 のドレインは制御回路 B 1 の入力端子 B 1 1 に、p チャネル MOSFET (T 2) のゲートはグランド線 1 3 に接続されている。

【0027】

pチャネルMOSFET (T2) のゲートはグランド線13に接続されているため、入力端子P1にpチャネルMOSFET (T2) のしきい値電圧 V_{th} 以上の電圧が印加されると、pチャネルMOSFET (T2) はON状態になる。pチャネルMOSFET (T2) のドレイン・ソース間の電圧降下は入力端子P1の電圧と制御回路B1の入力端子B11に流入する電流によって定まる。

【0028】

ショットキーバリアダイオードD2による順方向電圧降下を $V_f(D2)$ [V] とし、pチャネルMOSFET (T1) のONの状態におけるON抵抗を $R_{on}(t1)$ [Ω]、pチャネルMOSFET (T2) のONの状態におけるON抵抗を $R_{on}(t2)$ [Ω]、そのときの制御回路B1の端子B11への流入電流を I_{B1} [A] とすると、ヒステリシス電圧 V_{hys} [V] は以下の式であらわすことができる。

$$V_{hys} = (V_f(D2) + R_{on}(t2) \times I_{B1}) - R_{on}(t1) \times I_{B1}$$

【0029】

上式のようにヒステリシス電圧はショットキーバリアダイオードD2の順方向電圧降下とMOSFET (t1、t2) のON抵抗による電圧降下の合成となる。MOSFETのチャネル抵抗が正の温度依存性を有することから、負の温度依存性を有するショットキーバリアダイオードD2の順方向電圧降下と正の温度依存性を有するMOSFET (T2) のON抵抗が相殺するように働き、ヒステリシス電圧の温度依存性を低減することができる。

【0030】

実施の形態4.

図5に本発明の実施の形態4の半導体装置の構成を示す。

本実施の形態の半導体装置10dは、実施の形態1の構成に加えてnチャネルMOSFET (T3) と抵抗R3の直列回路をさらに有している。

【0031】

nチャネルMOSFET (T3) は、そのゲートがpチャネルMOSFET (T1) のゲートに接続され、そのソース、バックゲートがグランド線13、そのドレインが抵抗R3の一端に接続されている。抵抗R3の他端はIGBT (Z1

) のゲートに接続される。

【0032】

nチャネルMOSFET (T3) のゲートには、pチャネルMOSFET (T1) のゲートに対する信号と同じ信号が印加されるが、制御回路B1で設定された所定電圧 V_r 以下の入力の場合には入力端子P1の電圧にほぼ等しい電圧が印加される。この電圧がnチャネルMOSFET (T3) のしきい値電圧 V_{th} 以上であった場合には、nチャネルMOSFET (T3) はON状態となる。nチャネルMOSFET (T3) がON状態にある場合、ドレインに接続された抵抗R3を経由してIGBT (Z1) のゲートが接地されることとなる。入力電圧が所定値以上になりpチャネルMOSFET (T1) がON状態になるのにあわせてnチャネルMOSFET (T3) もOFF状態となるため、IGBT (Z1) のゲートに低損失で電圧供給しなければならない状態においては、nチャネルMOSFET (T3) を接続することによる影響は無くなる。

【0033】

本実施の形態の回路構成が有効となるのはIGBT (Z1) がON状態からOFF状態に移行するときであり、IGBTのゲート容量に電荷がたまった状態にあるときに入力信号を遮断した直後の過渡状態においてnチャネルMOSFET (T3) がONしてゲート電荷を積極的に放電することによりIGBT (Z1) の遮断速度が速くなる。この手段を用いる事で通常動作させる際の入力端子P1の消費電流を上昇させる事なく遮断速度を早くすることが可能となり、応答性を改善できる。

【0034】

実施の形態5.

図6に本発明の実施の形態5の半導体装置の構成を示す。

本実施の形態の半導体装置10eは、実施の形態1の構成における抵抗R1の代わりにpチャネルMOSFET (T4) とnチャネルMOSFET (T5) とからなるインバータ回路15を、制御回路B1の代わりに制御回路B2を有している。

【0035】

インバータ回路15の出力は、pチャネルMOSFET (T1) のゲートに接続される。pチャネルMOSFET (T4) のソースは入力端子P1、ドレインはpチャネルMOSFET (T1) のゲートに、バックゲートはpチャネルMOSFET (T1) のバックゲートに接続される。nチャネルMOSFET (T5) のソース、バックゲートはグランド線13に、ドレインはT1のゲートに接続される。pチャネルMOSFET (T4) のゲートとnチャネルMOSFET (T5) のゲートは接続され制御回路B2の出力端子B23に接続される。

【0036】

なお、図6ではpチャネルMOSFET (T4) とpチャネルMOSFET (T1) のバックゲートが共通となるようにしたが、ショットキーバリアダイオードD4、D5と同様の回路をpチャネルMOSFET (T4) 専用に設けてバックゲートを分けて構成しても同じ効果を得ることができる。

【0037】

制御回路B2は、入力端子B21と、IGBT (Z1) のゲートに接続される制御出力端子B22と、出力端子B23と、基準電位を与えるグランド線13に接続されるGND端子B24とを有する。制御回路B2は入力端子P1を介して端子B21から入力した信号に応じてIGBT (Z1) を駆動するための信号を制御出力端子B22から出力する。さらに、制御回路B2は、入力端子B21に入力される電圧を検出し、入力端子B21に所定値 V_r 以上の電圧が印加された際にnチャネルMOSFET (T5) をオンにするのに十分高い電圧を出力端子B23を介して出力し、その他の場合はpチャネルMOSFET (T4) をオンにするのに十分低い電圧を出力端子B23を介して出力する。なお、インバータ回路15の入力には、制御回路B2の入力端子B21 (または入力端子P1) に入力される電圧を検出し、それと所定値 V_r とを比較した結果の信号であれば、制御回路B2以外の回路からの信号が入力されてもよい。

【0038】

図6に示した回路を用いると、nチャネルMOSFET (T5) がON状態にあるときにはpチャネルMOSFET (T4) がOFF、nチャネルMOSFET (T5) がOFF状態にあるときにはpチャネルMOSFET (T4) がON

となり、相補的に働くため一般的なCMOS論理回路と同様に定常的に消費する電流を削減することができる。この効果により実施の形態1の回路よりも回路消費電流を削減することが可能となる。

【0039】

【発明の効果】

本発明によれば、接合分離技術を用いて絶縁ゲート型バイポーラトランジスタと同一半導体基板上に制御用回路が形成された半導体装置において、制御用回路の形成とともに発生する寄生素子によるラッチアップを防止しつつ、入力信号の伝達損失を低減できる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1における半導体装置の構成図

【図2】 バイパス回路内のpチャネルMOSFETに形成される寄生トランジスタを示した図

【図3】 本発明の実施の形態2における半導体装置の構成図

【図4】 本発明の実施の形態3における半導体装置の構成図

【図5】 本発明の実施の形態4における半導体装置の構成図

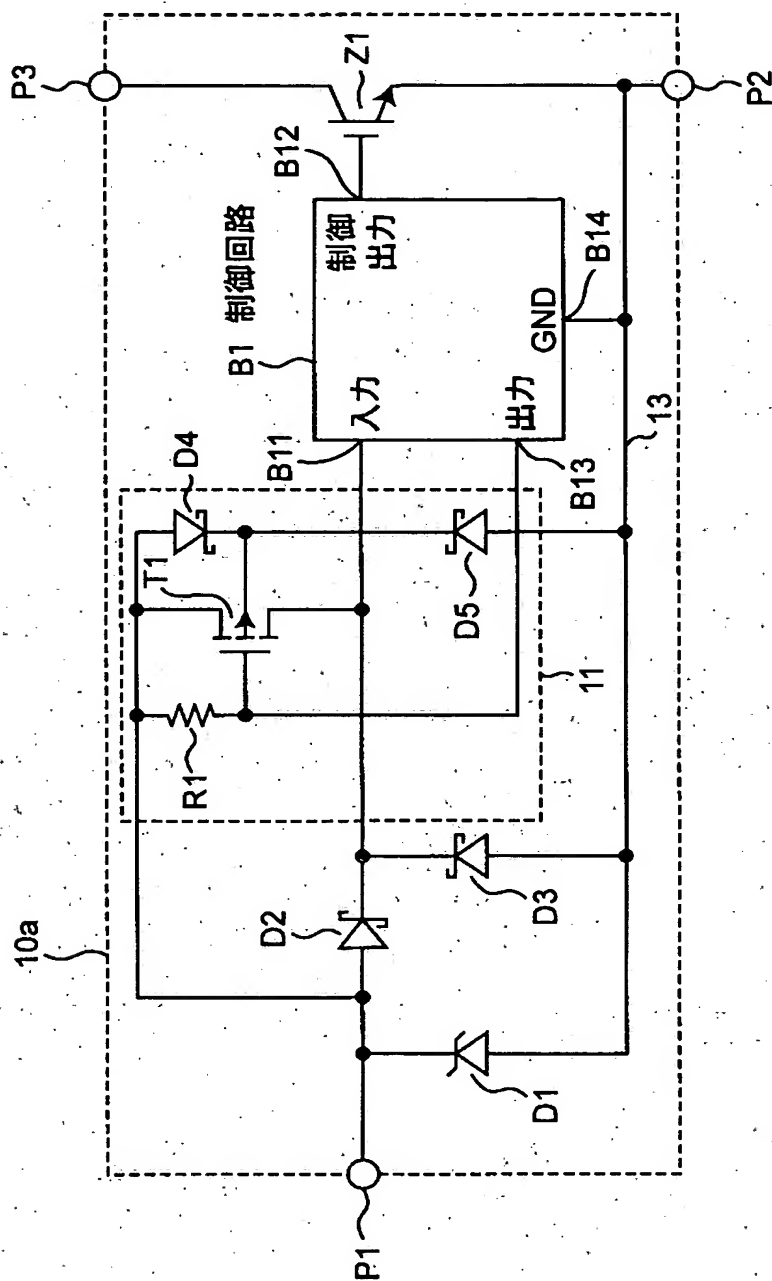
【図6】 本発明の実施の形態5における半導体装置の構成図

【符号の説明】

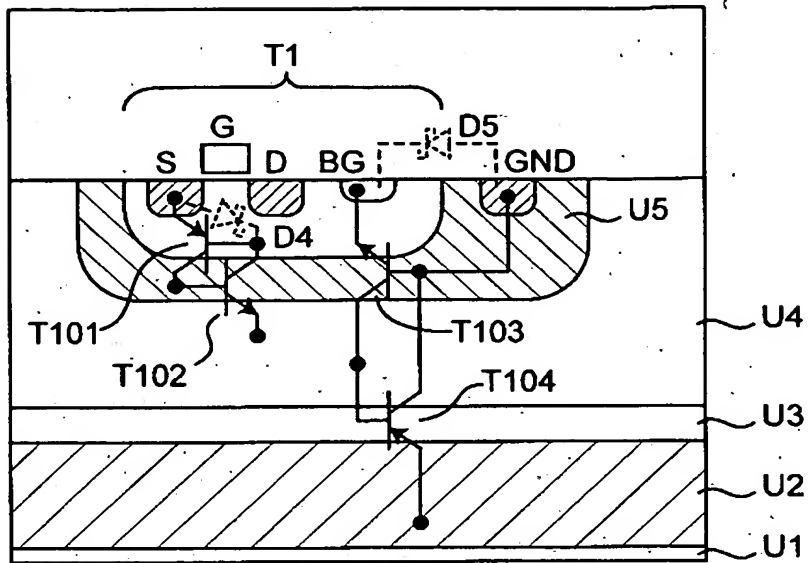
1.0.a 半導体装置、 11 バイパス回路、 B1 制御回路、 B11 制御回路の入力端子、 B12 制御回路の制御出力端子、 B13 制御回路の出力端子、 B14 制御回路のグランド端子、 T1 pチャネルMOSFET、 D1, D2 ツェナーダイオード、 D3~D5 ショットキーバリアダイオード、 R1 抵抗、 P1 入力端子、 P2 コレクタ端子、 エミッタ端子、 Z1 IGBT。

【書類名】 図面

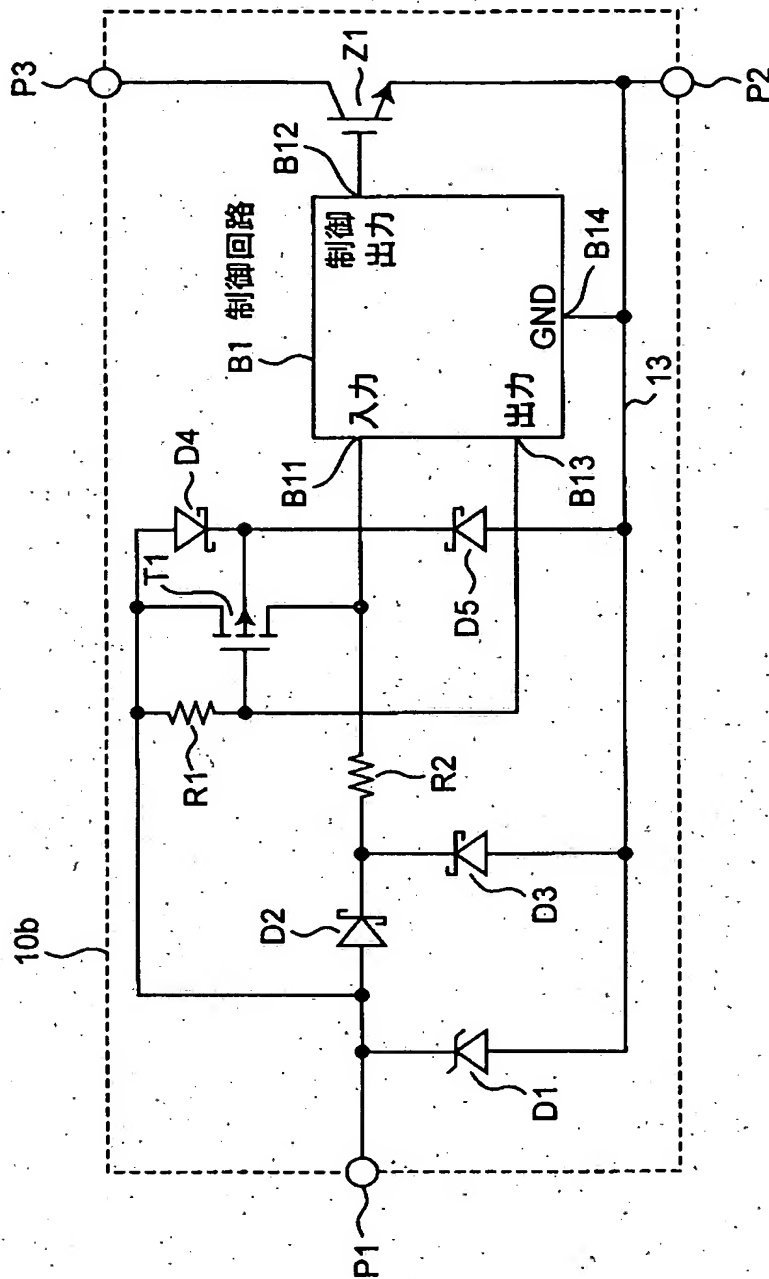
【図 1】



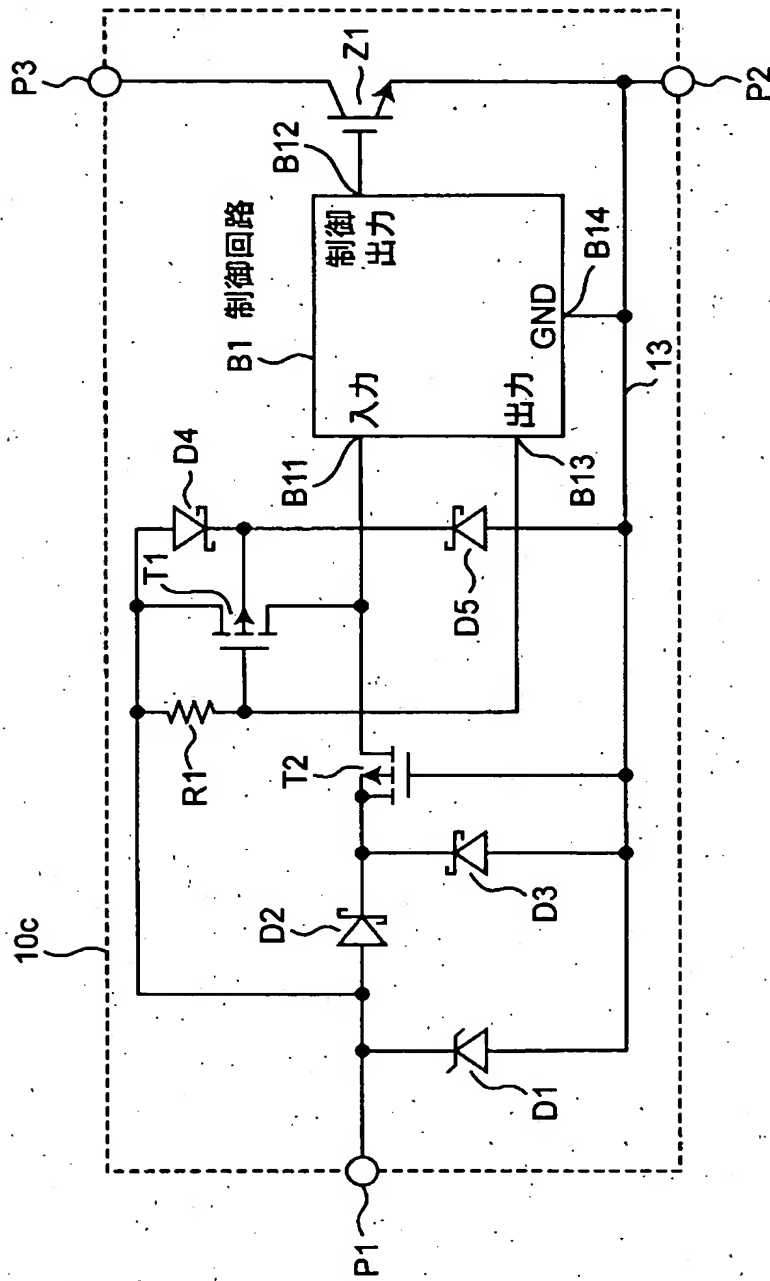
【図 2】



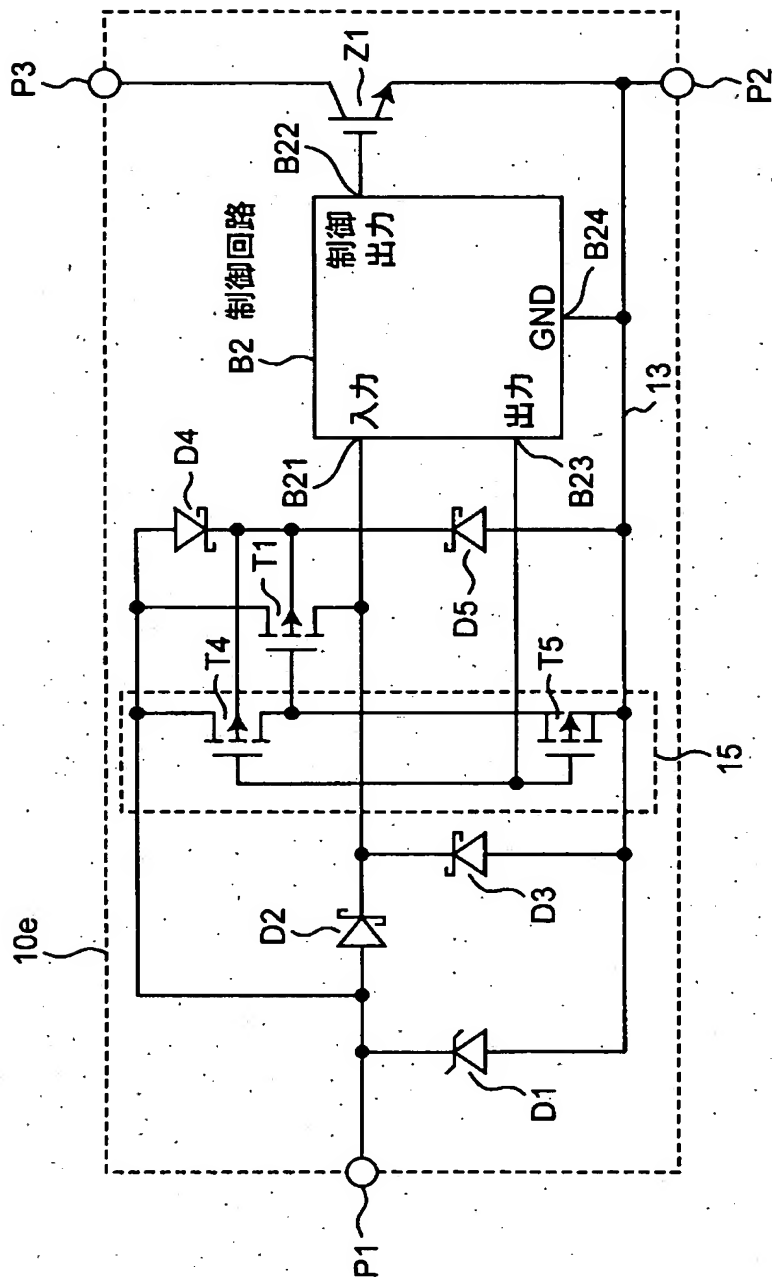
【图 3】



【図 4】



【図 6】



【書類名】 要約書

【要約】

【課題】 接合分離技術を用いて I G B T（絶縁ゲートバイポーラトランジスタ）と同一半導体基板上に制御回路を形成する際に発生する寄生素子によるラッチアップを防止しつつ、入力信号の伝送損失を低減する半導体装置を提供する。

【解決手段】 I G B T（Z 1）と同一半導体基板上に I G B T（Z 1）を駆動する制御回路 B 1 とが形成された半導体装置 1 0 a は、I G B T（Z 1）の駆動信号を入力する入力端子 P 1 と、その入力端子 P 1 にアノードが接続され、制御回路 B 1 の入力端子 B 1 1 にカソードが接続されたショットキーバリアダイオード D 2 と、入力端子 P 1 に入力される駆動信号の電圧が所定電圧以上になったときにショットキーバリアダイオード D 2 の両端を短絡する p チャネル M O S F E T（T 1）を有する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社